
Implementierung eines Turbo Decoders für einen OFDM-basierten WLAN-Demonstrator im 17 GHz Bereich (EU IST-Projekt WIND-FLEX)

Jochen Ertel

Technische Universität Dresden
Institut für Nachrichtentechnik
01062 Dresden



Übersicht

- Kurzvorstellung des WIND-FLEX Systems
- Turbo Codierung: Algorithmen und deren Optimierung für die Implementierung
- Parallelisierungskonzepte zur Erhöhung des Datendurchsatzes
- Ergebnisse

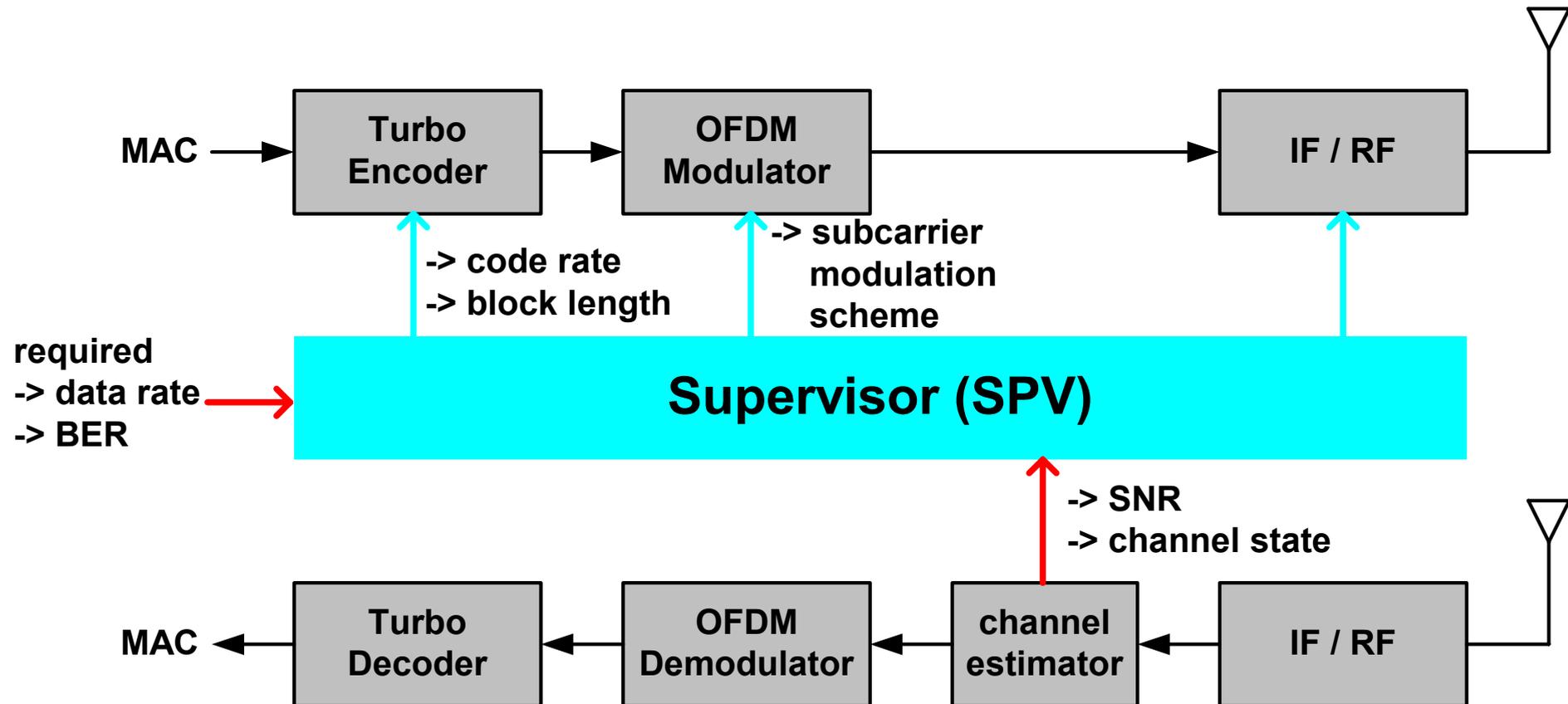


WIND-FLEX Systemüberblick

- SOHO Umgebung
- Geringe Mobilität
- 17 GHz
- 10 m NLOS / 100 m LOS
- TDMA / TDD
- Nutzdatenrate bis 100 Mbps
- OFDM-basiert
 - 50 MHz Bandbreite
 - 128 Unterträger
 - Unterträgermodulation:
BPSK, QPSK, 16-QAM,
64-QAM



WIND-FLEX Physical Layer Konzept



WIND-FLEX Demonstrator Übertragungsmodi

Randbedingungen :

- von 128 Unterträgern werden 100 genutzt
- zur Datenübertragung werden jeweils nur die 92 stärksten Unterträger verwendet
- Daten auf verschiedenen OFDM Symbolen werden unabhängig voneinander codiert
- 144 OFDM Symbole innerhalb eines Rahmens (178 OFDM Symbole) beinhalten Nutzdaten
- OFDM Symboldauer: 3 μ s (inkl. Schutzintervall)

mode	subcarrier modulation scheme	code rate	turbo code block length	user data rate
0	BPSK	1/2	46	12.4 Mbps
1	BPSK	3/4	69	18.6 Mbps
2	QPSK	1/2	92	24.8 Mbps
3	QPSK	3/4	138	37.2 Mbps
4	16-QAM	1/2	184	49.6 Mbps
5	16-QAM	3/4	276	74.4 Mbps
6	64-QAM	1/2	276	74.4 Mbps
7	64-QAM	2/3	368	99.2 Mbps
8	64-QAM	3/4	414	111.6 Mbps

Anforderungen an den Turbo Decoder

■ Systemanforderungen (Flexibilität)

- verschiedene Coderaten ($1/2$, $2/3$, $3/4$)
- verschiedene Codeblocklängen
- Nutzdatenrate bis ca. 100 Mbps

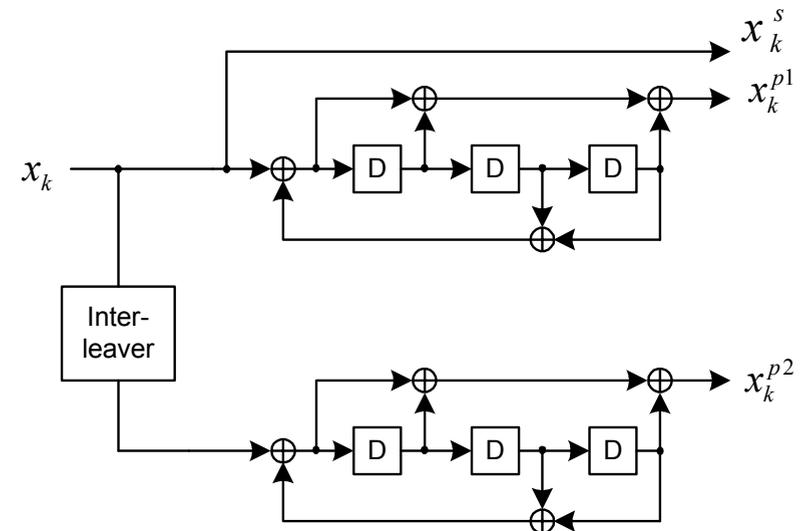
■ Anforderungen seitens der Hardwareplattform

- max. Hardwareaufwand: 1 Altera FPGA APEX EP20K600E
- Nutzung der Systemtaktfrequenz von 50 MHz



Turbo Codierung: verwendete Algorithmen

- 3GPP Turbo Code :



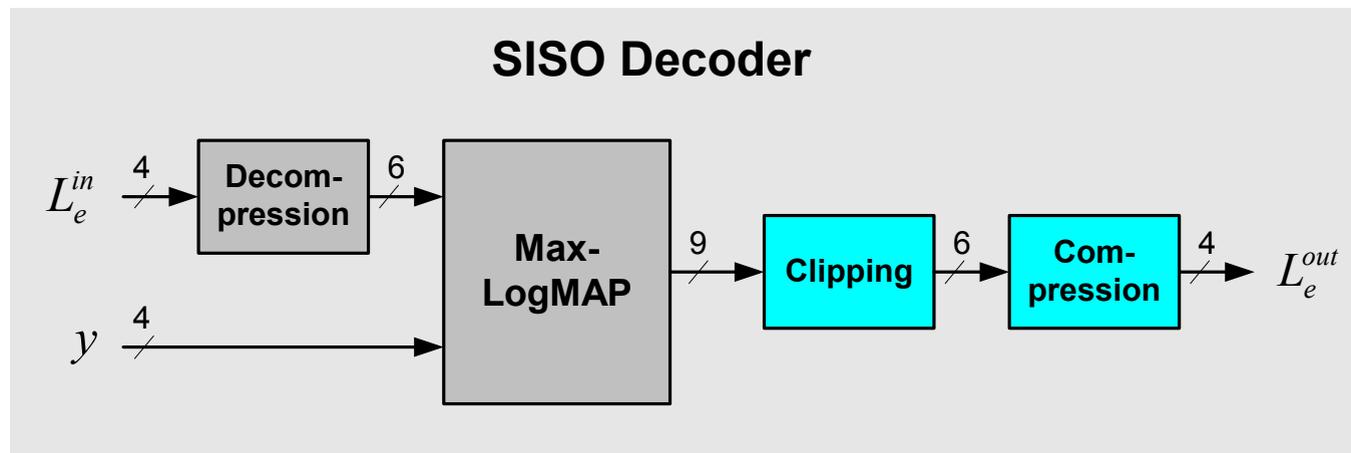
- Interleaver: S-Random

- SISO Decodierverfahren: Max-LogMAP

- optimierte Metrikberechnung (kleine Wertebereiche -> kleine Wortbreiten für Arithmetikeinheiten)
- Nutzung des "sliding windows" Prinzips zur Verringerung des Speicheraufwandes

Turbo Decoder: Verluste durch Ganzzahlarithmetik

- der implementierte Max-Log-MAP Algorithmus arbeitet verlustfrei (kein internes Clipping)
- Begrenzung des Maximalwertes der extrinsischen Information durch Clipping so, daß kein vorzeitiges Abflachen der BER Kurve erfolgt
- Verluste durch nichtlineare Quantisierung (Kompression) der extrinsischen Information sind abhängig von Übertragungsmodus und Kanalfading ($< 0,2$ dB)



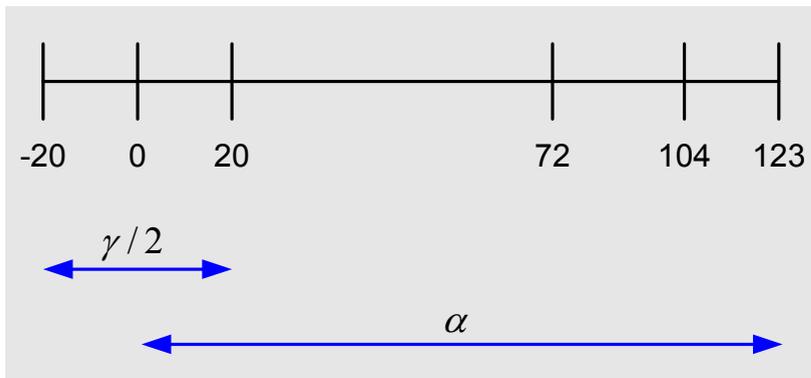
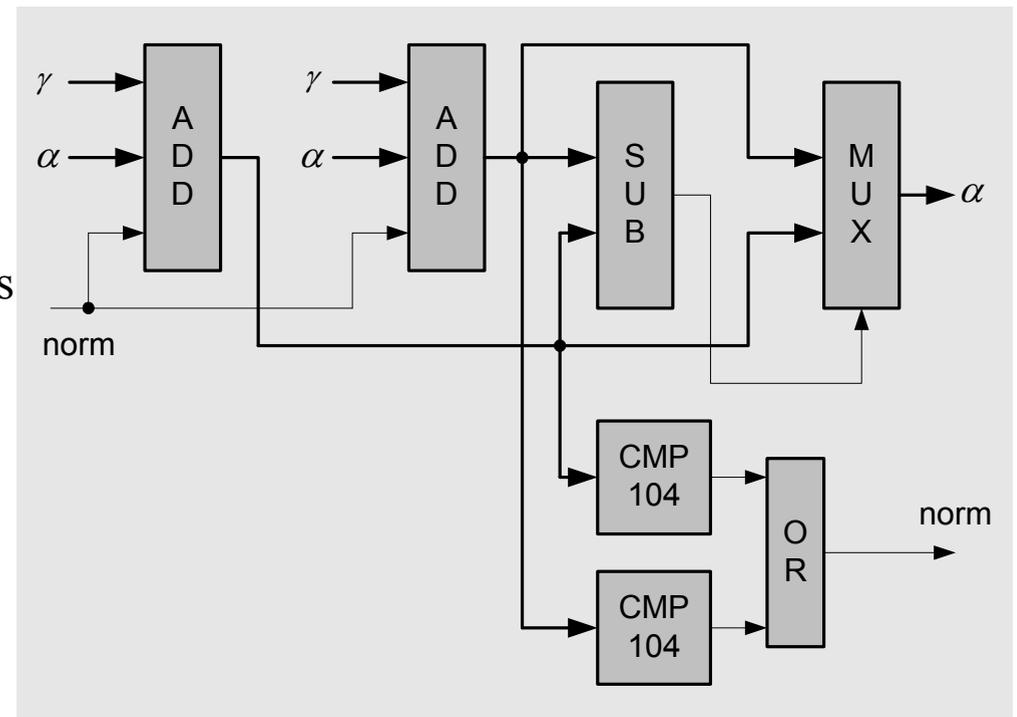
Turbo Decoder: Optimierung der ACS Einheit

- Berechnung der Zweigmetriken :
- Berechnung der Zustandsmetriken :
(Vorwärtsrekursion)
- Normierung der Zustandsmetriken:

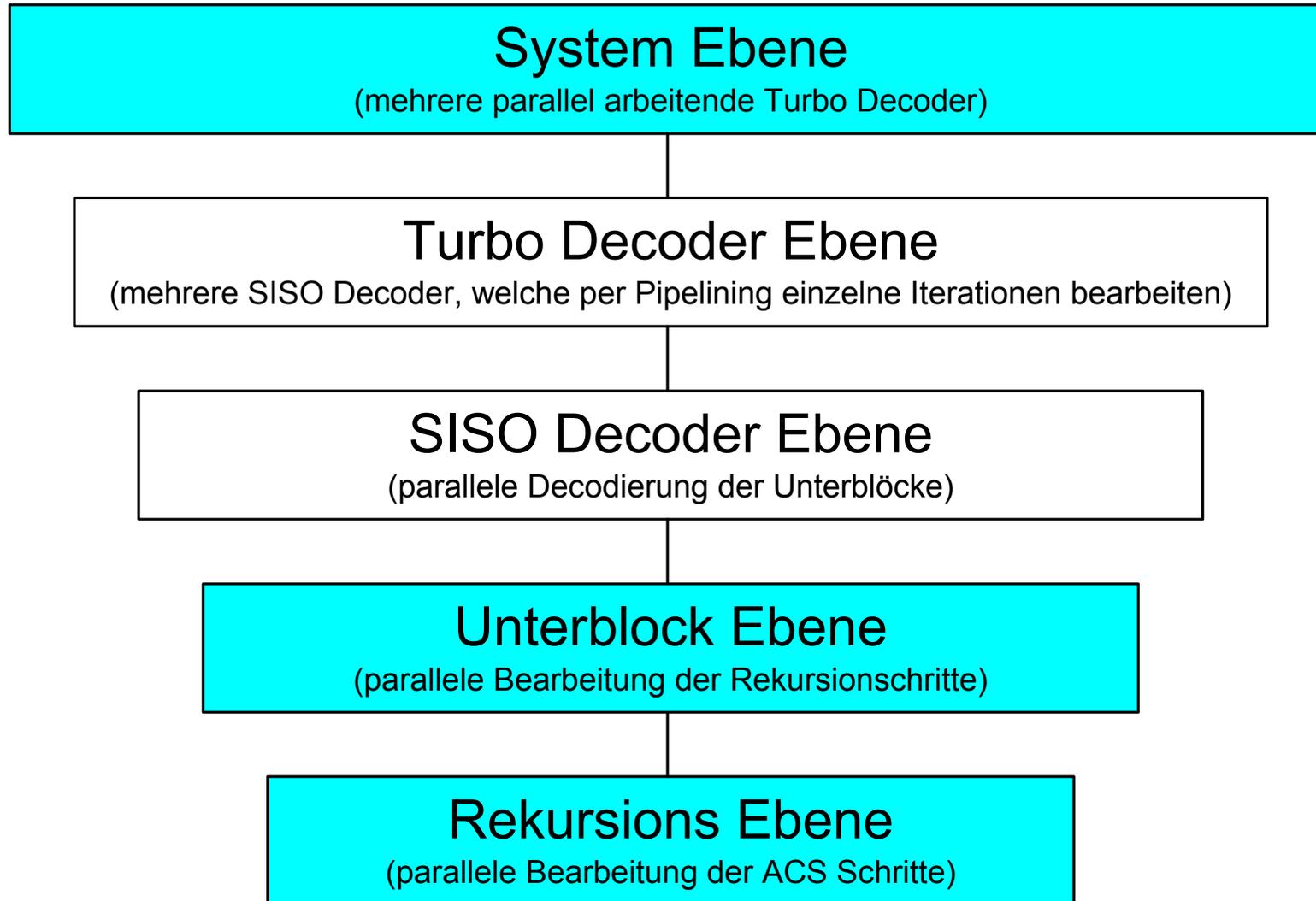
$$\gamma_k = \pm(y_k^s + L_{e,k}^{in}) \pm y_k^p$$

$$\alpha_k = \max(\alpha_{k-1} + \frac{1}{2}\gamma_k)$$

- Differenz aller Zustandsmetriken eines Zeitpunktes ist beschränkt auf 72
- Subtraktion von 32, falls die Zustandsmetrik den Grenzwert 104 übersteigt
- keine Vergrößerung des kritischen Pfads



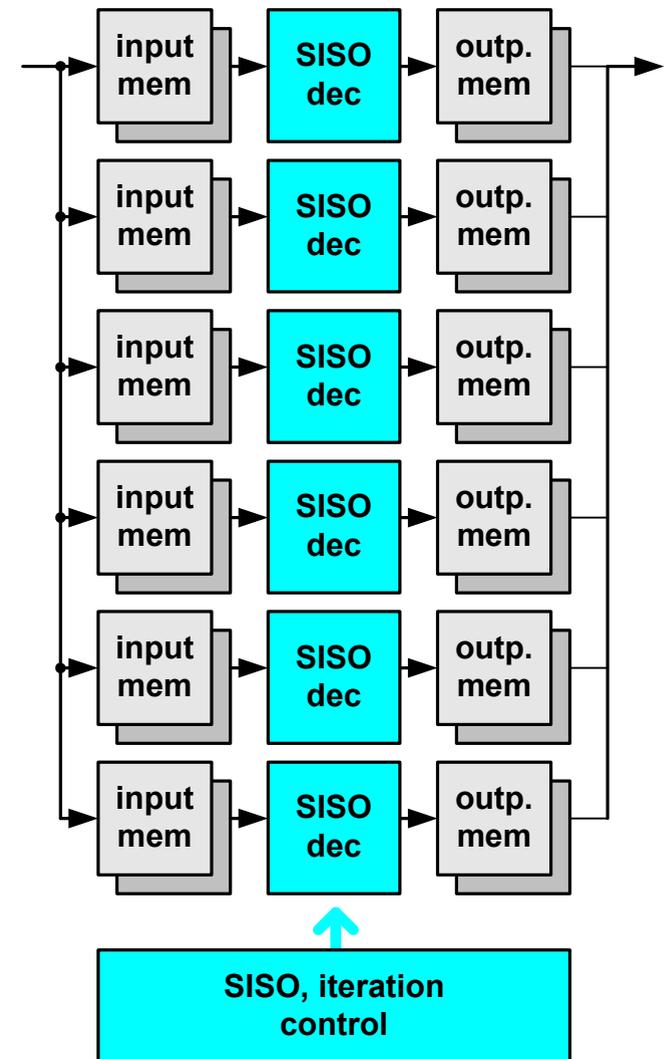
Turbo Decoder Parallelisierungsebenen



Turbo Decoder: System Ebene

6 parallel arbeitende Turbo Decoder

- jeder Turbo Decoder enthält einen SISO Decoder
 - serielle Abarbeitung der Iterationen
 - Iterationsanzahl während der Laufzeit änderbar
- nur eine Steuereinheit für alle Turbo Decoder
 - Nachteil: erhöhte Decodierverzögerung, da alle Turbo Decoder synchron arbeiten
 - Vorteil: Reduzierung des Hardwareaufwandes (Interleaverspeicher, Ablaufsteuerung)
- Problematiken der Depunktierung (verschiedene Coderaten) und des Interleaving sind reine Speicheradressierungsangelegenheiten

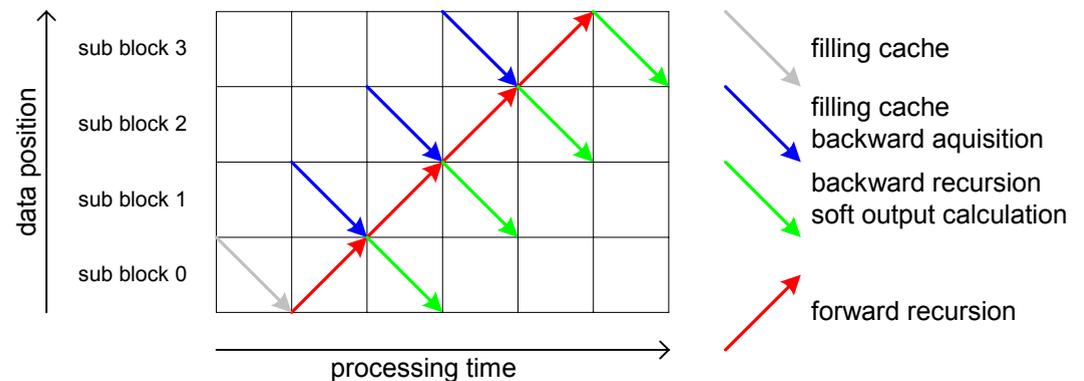
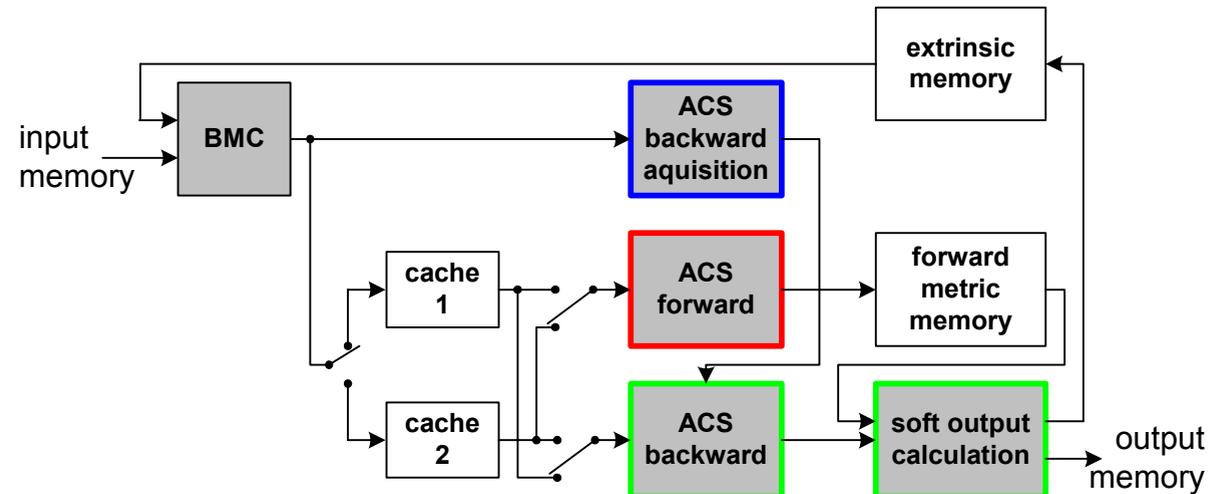


Turbo Decoder: Unterblock Ebene

parallele Abarbeitung der Rekursionsschritte innerhalb eines SISO Decoders

- die Unterblöcke werden nacheinander abgearbeitet
- die Rekursionsschritte werden zeitlich versetzt parallel bearbeitet
- die notwendig höhere Speichertzugriffsrate wird durch Cache-Speicher verhindert
- Abarbeitungszeit für einen kompletten Block der Länge N :

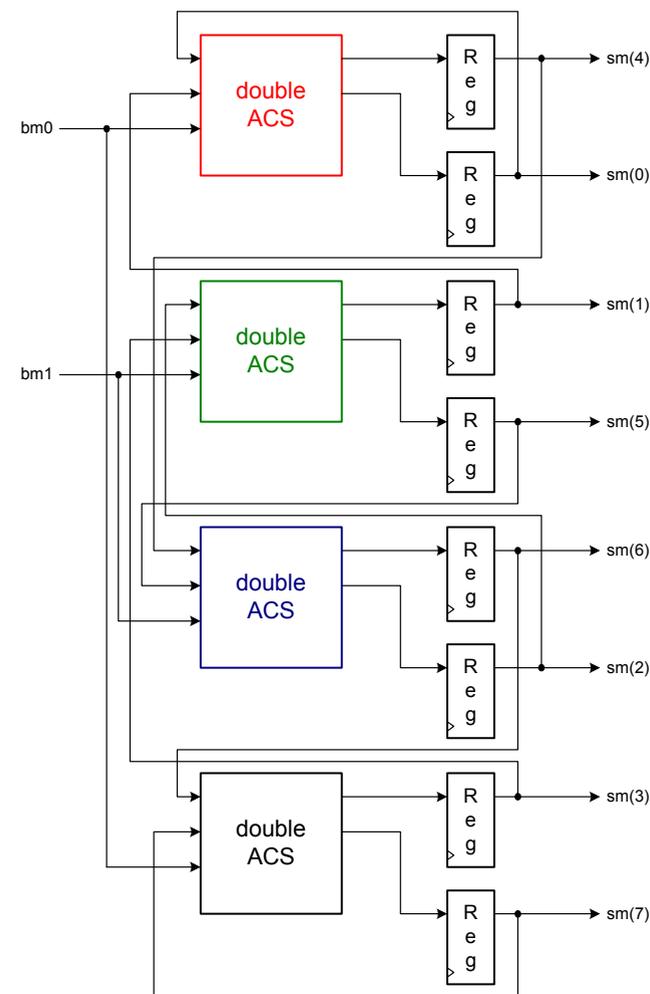
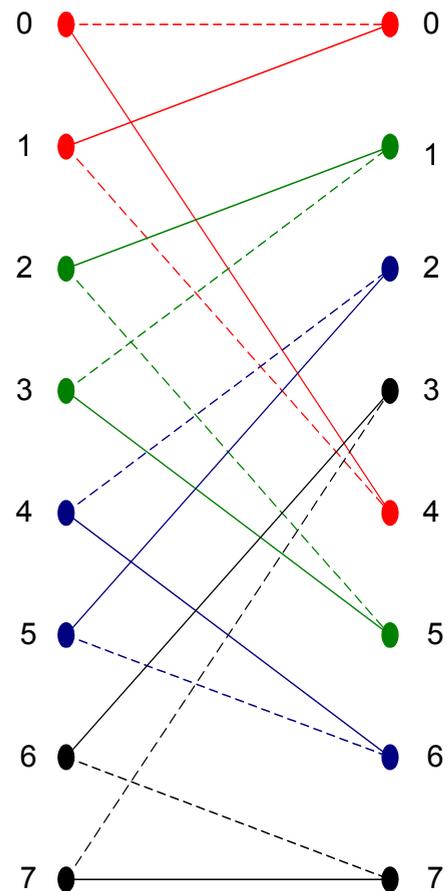
$$\approx \frac{N + 2N_{SB}}{f_{clock}}$$



Turbo Decoder: Rekursions Ebene

parallele Abarbeitung der ACS Operationen (Beispiel Vorwärtsrekursion)

- Ausnutzung von Trelliseigenschaften
 - Butterfly-Struktur -> Doppel-ACS
 - Reduzierung des Verdrahtungsaufwandes der Zweigmetriken



Turbo Decoder: Implementierungsergebnisse

- gesamter Decoder (Logik + RAM) innerhalb eines FPGA APEX EP20K600E, Systemtakt 50 MHz
- Beschreibungssprache: VHDL
- Flexibilität:
 - variable Iterationszahl
 - beschränkt variable Blocklänge (ganzzahlige Vielfache einer variablen Unterblocklänge)
- hohe Datenraten auf Kosten geringerer Leistungsfähigkeit (Iterationszahl)
- Implementierung des Interleavers als Lookup Table

mode	turbo code block length	user data rate	performed decoding iterations	max. decoder throughput
0	46	12.4 Mbps	2	32.2 Mbps
1	69	18.6 Mbps	2	39.1 Mbps
2	92	24.8 Mbps	2	43.9 Mbps
3	138	37.2 Mbps	2	49.9 Mbps
4	184	49.6 Mbps	2	53.6 Mbps
5	276	74.4 Mbps	1,5	77.2 Mbps
6	276	74.4 Mbps	1,5	77.2 Mbps
7	368	99.2 Mbps	1	120.7 Mbps
8	414	111.6 Mbps	1	122.4 Mbps